

5/ Priority
Doc.
E. Willis
10-3-02

PATENT
81751.0032
Express Mail Label No. EL 713 626 870 US

10/09/03
03/05/02
JC971 U.S. PRO

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Junichi KARASAWA et al.

Serial No: Not assigned

Filed: March 5, 2002

For: SEMICONDUCTOR DEVICE, MEMORY
SYSTEM AND ELECTRONIC APPARATUS

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

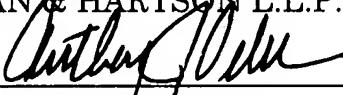
Enclosed herewith are certified copies of Japanese patent application Nos. 2001-088309 filed March 26, 2001 and 2001-333097 filed October 30, 2001, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: March 5, 2002

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

JC971 U.S. PTO
10/09/2003
03/05/02



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月26日

出願番号

Application Number:

特願2001-088309

[ST.10/C]:

[JP2001-088309]

出願人

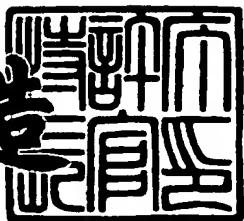
Applicant(s):

セイコーエプソン株式会社

2002年 1月29日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3002159

【書類名】 特許願

【整理番号】 EP-0299501

【提出日】 平成13年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8244

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 唐澤 純一

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 渡辺 邦雄

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、メモリシステムおよび電子機器

【特許請求の範囲】

【請求項1】 第1負荷トランジスタと、第2負荷トランジスタと、第1駆動トランジスタと、第2駆動トランジスタと、第1転送トランジスタと、第2転送トランジスタとを含むメモリセルを備える半導体装置であって、

前記第1負荷トランジスタのゲート電極と、前記第1駆動トランジスタのゲート電極とを含む、第1ゲートーゲート電極層と、

前記第2負荷トランジスタのゲート電極と、前記第2駆動トランジスタのゲート電極とを含む、第2ゲートーゲート電極層と、

前記第1負荷トランジスタのドレイン領域と、前記第1駆動トランジスタのドレイン領域とを電気的に接続する接続層の一部を構成する、第1ドレインードレイン配線層と、

前記第2負荷トランジスタのドレイン領域と、前記第2駆動トランジスタのドレイン領域とを電気的に接続する接続層の一部を構成する、第2ドレインードレイン配線層と、

前記第1ゲートーゲート電極層と、前記第2ドレインードレイン配線層とを電気的に接続する接続層の一部を構成する、第1ドレインーゲート配線層と、

前記第2ゲートーゲート電極層と、前記第1ドレインードレイン配線層とを電気的に接続する接続層の一部を構成する、第2ドレインーゲート配線層と、を含み、

前記第1ドレインーゲート配線層と、前記第2ドレインーゲート配線層とは、それぞれ異なる層に位置している、半導体装置。

【請求項2】 請求項1において、

前記第1ドレインーゲート配線層は、前記第2ドレインードレイン配線層とコンタクト部を介して電気的に接続され、

前記第2ドレインーゲート配線層は、前記第2ゲートーゲート電極層とコンタクト部を介して電気的に接続され、かつ、前記第1ドレインードレイン配線層と

コンタクト部を介して電気的に接続されている、半導体装置。

【請求項3】 請求項1または2において、

前記第1ドレインーゲート配線層は、前記第2ドレインーゲート配線層より下の層に位置している、半導体装置。

【請求項4】 請求項1～3のいずれかにおいて、

前記第1ドレインーゲート配線層は、前記第1ゲートーゲート電極層と同じ層に位置している、半導体装置。

【請求項5】 請求項1～4のいずれかにおいて、

前記第2ドレインーゲート配線層は、複数の層にわたって構成されている、半導体装置。

【請求項6】 請求項5において、

前記第2ドレインーゲート配線層は、第2ドレインーゲート配線層の下層部と、第2ドレインーゲート配線層の上層部とを有し、

前記第2ドレインーゲート配線層の上層部は、第2ドレインーゲート配線層の下層部より上の層に位置し、かつ、第2ドレインーゲート配線層の下層部と電気的に接続されている、半導体装置。

【請求項7】 請求項6において、

前記第2ドレインーゲート配線層の上層部は、前記第2ドレインーゲート配線層の下層部と、コンタクト部を介して電気的に接続されている、半導体装置。

【請求項8】 請求項6または7において、

前記第1ゲートーゲート電極層、前記第2ゲートーゲート電極層および前記第1ドレインーゲート配線層は、第1層導電層に位置し、

前記第1ドレインードレイン配線層、前記第2ドレインードレイン配線層および前記第2ドレインーゲート配線層の下層部は、第2層導電層に位置し、

前記第2ドレインーゲート配線層の上層部は、第3層導電層に位置する、半導体装置。

【請求項9】 請求項1～8のいずれかにおいて、

第2層導電層は、窒化チタンである、半導体装置。

【請求項10】 請求項1～9のいずれかにおいて、

第2層導電層の厚さは、100～200nmである、半導体装置。

【請求項11】 請求項1～10のいずれかに記載の前記半導体装置を備える、メモリシステム。

【請求項12】 請求項1～10のいずれかに記載の前記半導体装置を備える、電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、SRAM (static random access memory) のような半導体装置、および、これを備えるメモリシステム、電子機器に関する。

【0002】

【背景技術】

半導体記憶装置の一種であるSRAMは、リフレッシュ動作が不要なのでシステムを簡単にできることや低消費電力であるという特徴を有する。このため、SRAMは、例えば、携帯電話のような電子機器のメモリに好適に使用される。

【0003】

【発明が解決しようとする課題】

本発明の目的は、セル面積を小さくすることができる、半導体装置を提供することにある。

【0004】

本発明の他の目的は、本発明の半導体装置を含むメモリシステムおよび電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(半導体装置)

本発明の半導体装置は、

第1負荷トランジスタと、第2負荷トランジスタと、第1駆動トランジスタと、第2駆動トランジスタと、第1転送トランジスタと、第2転送トランジスタとを含むメモリセルを備える半導体装置であって、

前記第1負荷トランジスタのゲート電極と、前記第1駆動トランジスタのゲート電極とを含む、第1ゲートーゲート電極層と、

前記第2負荷トランジスタのゲート電極と、前記第2駆動トランジスタのゲート電極とを含む、第2ゲートーゲート電極層と、

前記第1負荷トランジスタのドレイン領域と、前記第1駆動トランジスタのドレイン領域とを電気的に接続する接続層の一部を構成する、第1ドレインードレイン配線層と、

前記第2負荷トランジスタのドレイン領域と、前記第2駆動トランジスタのドレイン領域とを電気的に接続する接続層の一部を構成する、第2ドレインードレイン配線層と、

前記第1ゲートーゲート電極層と、前記第2ドレインードレイン配線層とを電気的に接続する接続層の一部を構成する、第1ドレインーゲート配線層と、

前記第2ゲートーゲート電極層と、前記第1ドレインードレイン配線層とを電気的に接続する接続層の一部を構成する、第2ドレインーゲート配線層と、を含み、

前記第1ドレインーゲート配線層と、前記第2ドレインーゲート配線層とは、それぞれ異なる層に位置している。

【0006】

ここで、「配線層」とは、フィールドまたは層間絶縁層の上に配置された、層状の導電層をいう。

【0007】

本発明においては、第1ドレインーゲート配線層と、第2ドレインーゲート配線層とは、それぞれ異なる層に位置している。このため、本発明によれば、第1ドレインーゲート配線層と、第2ドレインーゲート配線層と同じ層に形成する場合に比べて、第1ドレインーゲート配線層および第2ドレインーゲート配線層が形成された各層における配線層のパターン密度を低減することができ、セル面積を小さくすることができる。

【0008】

本発明の半導体装置は、次の態様のうち、少なくともいずれかの態様をとるこ

とができる。

【0009】

(a) 前記第1ドレインーゲート配線層は、前記第2ドレインードレイン配線層とコンタクト部を介して電気的に接続され、

前記第2ドレインーゲート配線層は、前記第2ゲートーゲート電極層とコンタクト部を介して電気的に接続され、かつ、前記第1ドレインードレイン配線層とコンタクト部を介して電気的に接続されている態様。

【0010】

(b) 前記第1ドレインーゲート配線層は、前記第2ドレインーゲート配線層より下の層に位置している態様。

【0011】

(c) 前記第1ドレインーゲート配線層は、前記第1ゲートーゲート電極層と同じ層に位置している態様。

【0012】

(d) 前記第2ドレインーゲート配線層は、複数の層にわたって構成されている態様。

【0013】

この態様の場合、前記第2ドレインーゲート配線層は、第2ドレインーゲート配線層の下層部と、第2ドレインーゲート配線層の上層部とを有し、前記第2ドレインーゲート配線層の上層部は、第2ドレインーゲート配線層の下層部より上の層に位置し、かつ、第2ドレインーゲート配線層の下層部と電気的に接続されていることができる。

【0014】

また、この態様の場合、前記第2ドレインーゲート配線層の上層部は、前記第2ドレインーゲート配線層の下層部と、コンタクト部を介して電気的に接続されていることができる。

【0015】

また、この態様の場合、前記第1ゲートーゲート電極層、前記第2ゲートーゲート電極層および前記第1ドレインーゲート配線層は、第1層導電層に位置し、

前記第1ドレインードレイン配線層、前記第2ドレインードレイン配線層および前記第2ドレインーゲート配線層の下層部は、第2層導電層に位置し、前記第2ドレインーゲート配線層の上層部は、第3層導電層に位置していることができる。

【0016】

(e) 前記第2層導電層は、高融点金属の窒化物層である態様。第2層導電層が高融点金属の窒化物層であることにより、第2層導電層の厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。

【0017】

(f) 前記第2層導電層の厚さは、100～200nmである態様。

【0018】

(メモリシステム)

本発明のメモリシステムは、請求項1～10のいずれかに記載の前記半導体装置を備える。

【0019】

(電子機器)

本発明の電子機器は、請求項1～10のいずれかに記載の前記半導体装置を備える。

【0020】

【発明の実施の形態】

本発明の実施の形態について説明する。本実施の形態は、本発明にかかる半導体装置を、SRAMに適用したものである。

【0021】

[SRAMの等価回路]

図1は、本実施の形態にかかるSRAMの等価回路図である。本実施の形態にかかるSRAMは、6個のMOS電界効果トランジスタにより、一つのメモリセルが構成されるタイプである。つまり、nチャネル型の駆動トランジスタQ₃とpチャネル型の負荷トランジスタQ₅とで、一つのCMOSインバータが構成さ

れている。また、nチャネル型の駆動トランジスタQ₄とpチャネル型の負荷トランジスタQ₆とで、一つのCMOSインバータが構成されている。この二つのCMOSインバータをクロスカップルすることにより、フリップフロップが構成される。そして、このフリップフロップと、nチャネル型の転送トランジスタQ₁、Q₂とにより、一つのメモリセルが構成される。

【0022】

[SRAMの構造]

以下、SRAMの構造を説明する。まず、各図面を簡単に説明する。

【0023】

図2は、本実施の形態に係るSRAMのメモリセルのフィールドを模式的に示す平面図である。図3は、本実施の形態に係るSRAMのメモリセルの第1層導電層を模式的に示す平面図である。図4は、本実施の形態に係るSRAMのメモリセルの第2層導電層を模式的に示す平面図である。図5は、本実施の形態に係るSRAMのメモリセルの第3層導電層を模式的に示す平面図である。図6は、本実施の形態に係るSRAMのメモリセルの第4層導電層を模式的に示す平面図である。図7は、本実施の形態に係るSRAMのメモリセルのフィールドおよび第1層導電層を模式的に示す平面図である。図8は、本実施の形態に係るSRAMのメモリセルのフィールドおよび第2層導電層を模式的に示す平面図である。図9は、本実施の形態に係るSRAMのメモリセルの第1層導電層および第2層導電層を模式的に示す平面図である。図10は、本実施の形態に係るSRAMのメモリセルの第2層導電層および第3層導電層を模式的に示す平面図である。図11は、本実施の形態に係るSRAMのメモリセルの第3層導電層および第4層導電層を模式的に示す平面図である。図12は、図2～図11のA-A線に沿った断面を模式的に示す断面図である。図13は、図2～図11のB-B線に沿った断面を模式的に示す断面図である。

【0024】

(フィールドおよび第1層導電層)

図2を参照しながら、フィールドについて説明する。フィールドは、第1～第4活性領域14, 15, 16, 17および素子分離領域12を有する。第1～第

4活性領域14, 15, 16, 17は、素子分離領域12によって画定されている。第1および第2活性領域14, 15が形成された側の領域は、nウェル領域W10となっており、第3および第4活性領域16, 17が形成された側の領域は、pウェル領域W20となっている。

【0025】

第1活性領域14と第2活性領域15とは、平面形状に関して、対称関係にある。また、第3活性領域16と第4活性領域17とは、平面形状に関して、対称関係にある。

【0026】

第1活性領域14内には、p⁺型不純物層14a, 14bが形成されている。この第1活性領域14において、負荷トランジスタQ5が形成される。

【0027】

第2活性領域15内には、p⁺型不純物層15a, 15bが形成されている。この第2活性領域15において、負荷トランジスタQ6が形成される。

【0028】

第3活性領域16内には、トランジスタQ1, Q3の構成要素となるn⁺型不純物層16a, 16b, 16cが形成されている。また、第3活性領域16内には、ウェルコンタクト領域を構成するp⁺型不純物層16dが形成されている。この第3活性領域16において、駆動トランジスタQ3および転送トランジスタQ1が形成される。

【0029】

第4活性領域17内には、トランジスタQ2, Q4の構成要素となるn⁺型不純物層17a, 17b, 17cが形成されている。また、第4活性領域17内には、ウェルコンタクト領域を構成するp⁺型不純物層17dが形成されている。この第4活性領域17において、駆動トランジスタQ4および転送トランジスタQ2が形成される。

【0030】

次に、図3および図7を参照しながら、第1層導電層とフィールドとの位置関係を言及しながら、第1層導電層を説明する。

【0031】

第1層導電層は、第1ゲートーゲート電極層20と、第2ゲートーゲート電極層22と、第1ゲートードレイン配線層30と、副ワード線24とを有する。第1層導電層は、たとえば、ポリシリコン層およびシリサイド層が順次積層されて構成されることができる。

【0032】

第1ゲートーゲート電極層20および第2ゲートーゲート電極層22は、Y方向に沿って伸びるように形成されている。第1ゲートードレイン配線層30および副ワード線24は、X方向に沿って伸びるように形成されている。

【0033】

第1ゲートーゲート電極層20は、第1活性領域14および第3活性領域16と交差するように形成されている。第1ゲートーゲート電極層20は、負荷トランジスタQ5および駆動トランジスタQ3のゲート電極として機能する。第1ゲートードレイン配線層30は、第1活性領域14と第3活性領域16との間における第1ゲートーゲート電極層20の側部から、第2ゲートーゲート電極層22側のX方向に沿って伸びるように形成されている。

【0034】

第2ゲートーゲート電極層22は、第2活性領域15および第4活性領域17と交差するように形成されている。第2ゲートーゲート電極層22は、負荷トランジスタQ6および駆動トランジスタQ4のゲート電極として機能する。

【0035】

副ワード線24は、第3活性領域16および第4活性領域17と交差するように形成されている。副ワード線24は、転送トランジスタQ1, Q2のゲート電極として機能する。

【0036】

以下、第1層導電層と、活性領域に形成された不純物層との位置関係を説明する。

【0037】

p^+ 型不純物層14aと p^+ 型不純物層14bとは、第1ゲートーゲート電極層

20を挟むように形成されている。すなわち、p⁺型不純物層14aと、p⁺型不純物層14bと、第1ゲートーゲート電極層20とで、負荷トランジスタQ5を構成している。なお、p⁺型不純物層14aは負荷トランジスタQ5のソースを構成し、p⁺型不純物層14bは負荷トランジスタQ5のドレインを構成している。

【0038】

p⁺型不純物層15aとp⁺型不純物層15bとは、第2ゲートーゲート電極層22を挟むように形成されている。すなわち、p⁺型不純物層15aと、p⁺型不純物層15bと、第2ゲートーゲート電極層22とで、負荷トランジスタQ6を構成している。なお、p⁺型不純物層15aは負荷トランジスタQ6のソースを構成し、p⁺型不純物層15bは負荷トランジスタQ6のドレインを構成している。

【0039】

n⁺型不純物層16bとn⁺型不純物層16cとは、第1ゲートーゲート電極層20を挟むように形成されている。すなわち、n⁺型不純物層16bと、n⁺型不純物層16cと、第1ゲートーゲート電極層20とで、駆動トランジスタQ3を構成している。なお、n⁺型不純物層16bは、駆動トランジスタQ3のドレインを構成し、n⁺型不純物層16cは、駆動トランジスタQ3のソースを構成している。

【0040】

n⁺型不純物層17bとn⁺型不純物層17cとは、第2ゲートーゲート電極層22を挟むように形成されている。すなわち、n⁺型不純物層17bと、n⁺型不純物層17cと、第2ゲートーゲート電極層22とで、駆動トランジスタQ4を構成している。なお、n⁺型不純物層17bは、駆動トランジスタQ4のドレインを構成し、n⁺型不純物層17cは、駆動トランジスタQ4のソースを構成する。

【0041】

n⁺型不純物層16aとn⁺型不純物層16bとは、副ワード線24を挟むように形成されている。すなわち、n⁺型不純物層16aとn⁺型不純物層16bと、

副ワード線24とで、転送トランジスタQ1を構成している。なお、 n^+ 型不純物層16bは転送トランジスタQ1のソースまたはドレインを構成し、 n^+ 型不純物層16aは転送トランジスタQ1のソースまたはドレインを構成している。

【0042】

n^+ 型不純物層17aと n^+ 型不純物層17bとは、副ワード線24を挟むように形成されている。すなわち、 n^+ 型不純物層17aと、 n^+ 型不純物層17bと、副ワード線24とで、転送トランジスタQ2を構成している。なお、 n^+ 型不純物層17aは、転送トランジスタQ2のソースまたはドレインを構成し、 n^+ 型不純物層17bは、転送トランジスタQ2のソースまたはドレインを構成している。

【0043】

なお、 p^+ 型不純物層16d、17dは、pウエルのウエルコンタクト領域を構成している。

【0044】

フィールドおよび第1層導電層を覆うように、層間絶縁層90（図12、図13参照）が形成されている。層間絶縁層90は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【0045】

（第2層導電層）

以下、図4、図8および図9を参照しながら、第2層導電層を説明する。

【0046】

第2層導電層は、第1ドレインードレイン配線層40、第2ドレインードレイン配線層42、第2ゲートードレイン配線層の下層部32a、第1BLコンタクトパッド層70a、第1/BLコンタクトパッド層72a、第1Vssコンタクトパッド層74aおよびVddコンタクトパッド層76を有する。

【0047】

第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ゲートードレイン配線層の下層部32aとは、Y方向に沿って伸びるよう形成されている。

【0048】

第1ドレインードレイン配線層40は、第1活性領域14および第3活性領域16と平面的にみて重なる部分を有する（図8参照）。具体的には、第1ドレインードレイン配線層40の一方の端部40aは、 p^+ 型不純物層14bの上方に位置している。第1ドレインードレイン配線層40の一方の端部40aと p^+ 型不純物層14bとは、フィールドと第2層導電層とのコンタクト部（以下「フィールド・第2層-コンタクト部」という）80を介して電気的に接続されている。第1ドレインードレイン配線層40の他方の端部40bは、 n^+ 型不純物層16bの上方に位置している。第1ドレインードレイン配線層40の他方の端部40bと n^+ 型不純物層16bとは、フィールド・第2層-コンタクト部80を介して電気的に接続されている。

【0049】

第2ドレインードレイン配線層42は、第2活性領域15および第4活性領域17と平面的にみて重なる部分を有する（図8参照）。具体的には、第2ドレインードレイン配線層42の一方の端部42aは、 p^+ 型不純物層15bの上方に位置している。第2ドレインードレイン配線層42の一方の端部42aと、 p^+ 型不純物層15bとは、フィールド・第2層-コンタクト部80を介して電気的に接続されている。第2ドレインードレイン配線層42の他方の端部42bは、 n^+ 型不純物層17bの上方に位置している。第2ドレインードレイン配線層42の他方の端部42bと、 n^+ 型不純物層17bとは、フィールド・第2層-コンタクト部80を介して電気的に接続されている。

【0050】

さらに、第2ドレインードレイン配線層42は、第1ゲートードレイン配線層30の端部30aと平面的にみて重なる部分を有する（図9参照）。第2ドレインードレイン配線層42と、第1ゲートードレイン配線層30の端部30aとは、第1層導電層と第2層導電層とのコンタクト部（以下「第1層・第2層-コンタクト部」という）82を介して電気的に接続されている。

【0051】

第2ゲートードレイン配線層の下層部32aは、第2ドレインードレイン配線

層42を基準として、第1ドレインードレイン配線層40の反対側に形成されている。第2ゲートードレイン配線層の下層部32aは、第2ゲートーゲート電極層22と平面的にみて重なる部分を有する（図9参照）。第2ゲートードレイン配線層の下層部32aと、第2ゲートーゲート電極層22とは、第1層・第2層－コンタクト部82を介して電気的に接続されている。

【0052】

第1BLコンタクトパッド層70aは、第3活性領域16における n^+ 型不純物層16aの上方に位置している（図8参照）。第1BLコンタクトパッド層70aと n^+ 型不純物層16aとは、フィールド・第2層－コンタクト部80を介して電気的に接続されている。

【0053】

第1BLコンタクトパッド層72aは、第4活性領域17における n^+ 型不純物層17aの上方に位置している（図8参照）。第1BLコンタクトパッド層72aと n^+ 型不純物層17aとは、フィールド・第2層－コンタクト部80を介して電気的に接続されている。

【0054】

第1Vssコンタクトパッド層74aは、第3活性領域17における n^+ 型不純物層16cおよび p^+ 型不純物層16dの上方に位置している（図8参照）。第1Vssコンタクトパッド層74aは、 n^+ 型不純物層16cとフィールド・第2層－コンタクト部80を介して電気的に接続されている。また、第1Vssコンタクトパッド層74aは、 p^+ 型不純物層16dとフィールド・第2層－コンタクト部80を介して電気的に接続されている。第1Vssコンタクトパッド層74aは、図8においてX方向で隣り合うメモリセルと共に用されている。

【0055】

Vddコンタクトパッド層76は、第1活性領域14における p^+ 型不純物層14aの上方に位置されている。Vddコンタクトパッド層76は、フィールド・第2層－コンタクト部80を介して、 p^+ 型不純物層14aと電気的に接続されている。

【0056】

次に、第2層導電層の断面構造について、図12および図13を用いて説明する。第2層導電層は、例えば、高融点金属の窒化物層のみからなることができる。第2層導電層の厚さは、たとえば100～200nm、好ましくは140～160nmである。高融点金属の窒化物層は、例えば、窒化チタンからなることができる。第2層導電層が高融点金属の窒化物層からなることにより、第2層導電層の厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。

【0057】

また、第2層導電層は、次のいずれかの態様であってもよい。1) 高融点金属からなる金属層上に、高融点金属の窒化物層を形成した構造を有していてもよい。この場合、高融点金属からなる金属層は、下敷きとなり、例えば、チタン層からなることができる。高融点金属の窒化物層の材料としては、窒化チタンを挙げることができる。2) 第2層導電層の構成は、高融点金属の金属層のみから構成されてもよい。

【0058】

次に、フィールド・第2層-コンタクト部80の断面構造について、図12および図13を用いて説明する。フィールド・第2層-コンタクト部80は、層間絶縁層90に形成されたスルーホール90aを充填するように形成されている。フィールド・第2層-コンタクト部80は、バリア層80aと、バリア層80aの上に形成されたプラグ80bとを含む。プラグの材料としては、チタン、タンゲステンを挙げることができる。バリア層80aとしては、高融点金属からなる金属層と、その金属層の上に形成された高融点金属の窒化物層とからなることが好ましい。高融点金属からなる金属層の材質としては、たとえばチタンを挙げることができる。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。

【0059】

次に、第1層・第2層-コンタクト部82の断面構造について、図12および図13を用いて説明する。第1層・第2層-コンタクト部82は、層間絶縁層90に形成されたスルーホール90bを充填するように形成されている。第1層・

第2層-コンタクト部82は、フィールド・第2層-コンタクト部80において述べた構成と同様の構成をとることができる。

【0060】

第2層導電層を覆うように、層間絶縁層92が形成されている。層間絶縁層92は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【0061】

(第3層導電層)

以下、図5および図10を参照しながら、第3層導電層を説明する。

【0062】

第3層導電層は、第2ゲートードレイン配線層の上層部32bと、主ワード線50と、Vdd線52と、第2BLコンタクトパッド層70bと、第2/NBLコンタクトパッド層72bと、第2Vssコンタクトパッド層74bとを有する。

【0063】

第2ゲートードレイン配線層の上層部32b、主ワード線50およびVdd線52は、X方向に沿って伸びるように形成されている。

【0064】

第2ゲートードレイン配線層の上層部32bは、図10に示すように、第2層導電層の第2ドレインードレイン配線層42と交差するように形成されている。具体的には、第2ゲートードレイン配線層の上層部32bは、第1ドレインードレイン配線層40の端部40bの上方から、第2ゲートードレイン配線層の下層部32aの端部32a1の上方まで形成されている。第2ゲートードレイン配線層の上層部32bは、第1ドレインードレイン配線層40の端部40bと、第2層導電層と第3層導電層とのコンタクト部（以下「第2層・第3層-コンタクト部」という）84を介して電気的に接続されている。また、第2ゲートードレイン配線層の上層部32bは、第2ゲートードレイン配線層の下層部32aの端部32a1と、第2層・第3層-コンタクト部84を介して電気的に接続されている。

【0065】

Vdd配線52は、Vddコンタクトパッド層76の上方を通るように形成されている。Vdd配線52は、Vddコンタクトパッド層76と、第2層・第3層—コンタクト部84を介して電気的に接続されている。Vdd配線52は、図10においてY方向で隣り合うメモリセルと共に用されている。

【0066】

第2BLコンタクトパッド層70bは、第1BLコンタクトパッド層70aの上方に位置している。第2BLコンタクトパッド層70bは、第1BLコンタクトパッド層70aと、第2層・第3層—コンタクト部84を介して電気的に接続されている。

【0067】

第2/BLコンタクトパッド層72bは、第1/BLコンタクトパッド層72aの上方に位置している。第2/BLコンタクトパッド層72bは、第1/BLコンタクトパッド層72aと、第2層・第3層—コンタクト部84を介して電気的に接続されている。

【0068】

第2Vssコンタクトパッド層74bは、第1Vssコンタクトパッド層74aの上方に位置している。第2Vssコンタクトパッド層74bは、第1Vssコンタクトパッド層74aと、第2層・第3層—コンタクト部84を介して電気的に接続されている。

【0069】

次に、第3層導電層の断面構造について、図12および図13を用いて説明する。第3層導電層は、たとえば、下から順に、高融点金属の窒化物層、金属層、高融点金属の窒化物層が積層された構造を有する。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。金属層の材質としては、たとえば、アルミニウム、銅、またはこれらの合金を挙げることができる。

【0070】

次に、第2層・第3層—コンタクト部84の断面構造について、図12および図13を用いて説明する。第2層・第3層—コンタクト部84は、層間絶縁層92に形成されたスルーホール92aを充填するように形成されている。第2層・

第3層-コンタクト部84は、フィールド・第2層-コンタクト部80において述べた構成と同様の構成をとることができる。

【0071】

第3層導電層を覆うように、層間絶縁層94が形成されている。層間絶縁層94は、たとえば化学的機械的研磨法により、平坦化処理がなされて構成されることができる。

【0072】

(第4層導電層)

以下、図6および図11を参照して、第4層導電層を説明する。

【0073】

第4層導電層は、ピット線60と、/ピット線62と、Vss配線64とを有する。

【0074】

ピット線60、/ピット線62およびVss配線64は、Y方向に沿って伸びるよう形成されている。

【0075】

ピット線60は、第2BLコンタクトパッド層70bの上方を通るように形成されている。ピット線60は、第2BLコンタクトパッド層70bと、第3層導電層と第4層導電層とのコンタクト部（以下「第3層・第4層-コンタクト部」という）86を介して電気的に接続されている。

【0076】

/ピット線62は、第2/BLコンタクトパッド層72bの上方を通るように形成されている。/ピット線62は、第2/BLコンタクトパッド層72bと、第3層・第4層-コンタクト部86を介して電気的に接続されている。

【0077】

Vss配線64は、第2Vssコンタクトパッド層74bの上方を通るように形成されている。Vss配線64は、第2Vssコンタクトパッド層74bと、第3層・第4層-コンタクト部86を介して電気的に接続されている。

【0078】

次に、第4層導電層の断面構造について、図12および図13を用いて説明する。第4層導電層は、第3層導電層で述べた構成と同様の構成をとることができる。

【0079】

次に、第3層・第4層-コンタクト部86の断面構造について、図12および図13を用いて説明する。第3層・第4層-コンタクト部86は、層間絶縁層94に形成されたスルーホール94aを充填するように形成されている。第3層・第4層-コンタクト部86は、フィールド・第2層-コンタクト部80において述べた構成と同様の構成をとることができる。

【0080】

図12および図13において図示していないが、第4層導電層の上に、パシベーション層が形成されることができる。

【0081】

【作用効果】

以下、本実施の形態に係る半導体装置の作用効果を説明する。

【0082】

第1ゲートードレイン配線層と、第2ゲートードレイン配線層とを、同一の導電層に位置して形成することが考えられる。この場合、第1および第2ゲートードレイン配線層が形成された導電層のパターン密度の大きさから、セル面積を小さくするのが難しい。

【0083】

しかし、本実施の形態においては、第1ゲートードレイン配線層30は、第1層導電層に位置している。また、第2ゲートードレイン配線層は、第2ゲートードレイン配線層の下層部32aと、第2ゲートードレイン配線層の上層部32bとに分けられて構成されている。第2ゲートードレイン配線層の下層部32aは第2層導電層に位置し、第2ゲートードレイン配線層の上層部32bは第3層導電層に位置している。このため、第1ゲートードレイン配線層と、第2ゲートードレイン配線層とは、それぞれ異なる層に形成されている。したがって、第1ゲートードレイン配線層と、第2ゲートードレイン配線層とが同じ層に形成されて

いないため、配線層のパターン密度を小さくすることができる。その結果、本実施の形態に係るメモリセルによれば、セル面積を小さくすることができる。

【0084】

[SRAMの電子機器への応用例]

本実施の形態にかかるSRAMは、例えば、携帯機器のような電子機器に応用することができる。図14は、携帯電話機のシステムの一部のブロック図である。CPU540、SRAM550、DRAM560はバスラインにより、相互に接続されている。さらに、CPU540は、バスラインにより、キーボード510およびLCDドライバ520と接続されている。LCDドライバ520は、バスラインにより、液晶表示部530と接続されている。CPU540、SRAM550およびDRAM560でメモリシステムを構成している。

【0085】

図15は、図14に示す携帯電話機のシステムを備える携帯電話機600の斜視図である。携帯電話機600は、キーボード612、液晶表示部614、受話部616およびアンテナ部618を含む本体部610と、送話部622を含む蓋部620と、を備える。

【0086】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

本実施の形態にかかるSRAMの等価回路図である。

【図2】

本実施の形態に係るSRAMのメモリセルのフィールドを模式的に示す平面図である。

【図3】

本実施の形態に係るSRAMのメモリセルの第1層導電層を模式的に示す平面図である。

【図4】

本実施の形態に係る S R A M のメモリセルの第 2 層導電層を模式的に示す平面図である。

【図 5】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層を模式的に示す平面図である。

【図 6】

本実施の形態に係る S R A M のメモリセルの第 4 層導電層を模式的に示す平面図である。

【図 7】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 1 層導電層を模式的に示す平面図である。

【図 8】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 2 層導電層を模式的に示す平面図である。

【図 9】

本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 2 層導電層を模式的に示す平面図である。

【図 10】

本実施の形態に係る S R A M のメモリセルの第 2 層導電層および第 3 層導電層を模式的に示す平面図である。

【図 11】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層および第 4 層導電層を模式的に示す平面図である。

【図 12】

図 2 ~ 図 11 の A - A 線に沿った断面を模式的に示す断面図である。

【図 13】

図 2 ~ 図 11 の B - B 線に沿った断面を模式的に示す断面図である。

【図 14】

本実施の形態にかかる S R A M を備えた、携帯電話機のシステムの一部のプロ

ック図である。

【図15】

図14に示す携帯電話機のシステムを備える携帯電話機の斜視図である。

【符号の説明】

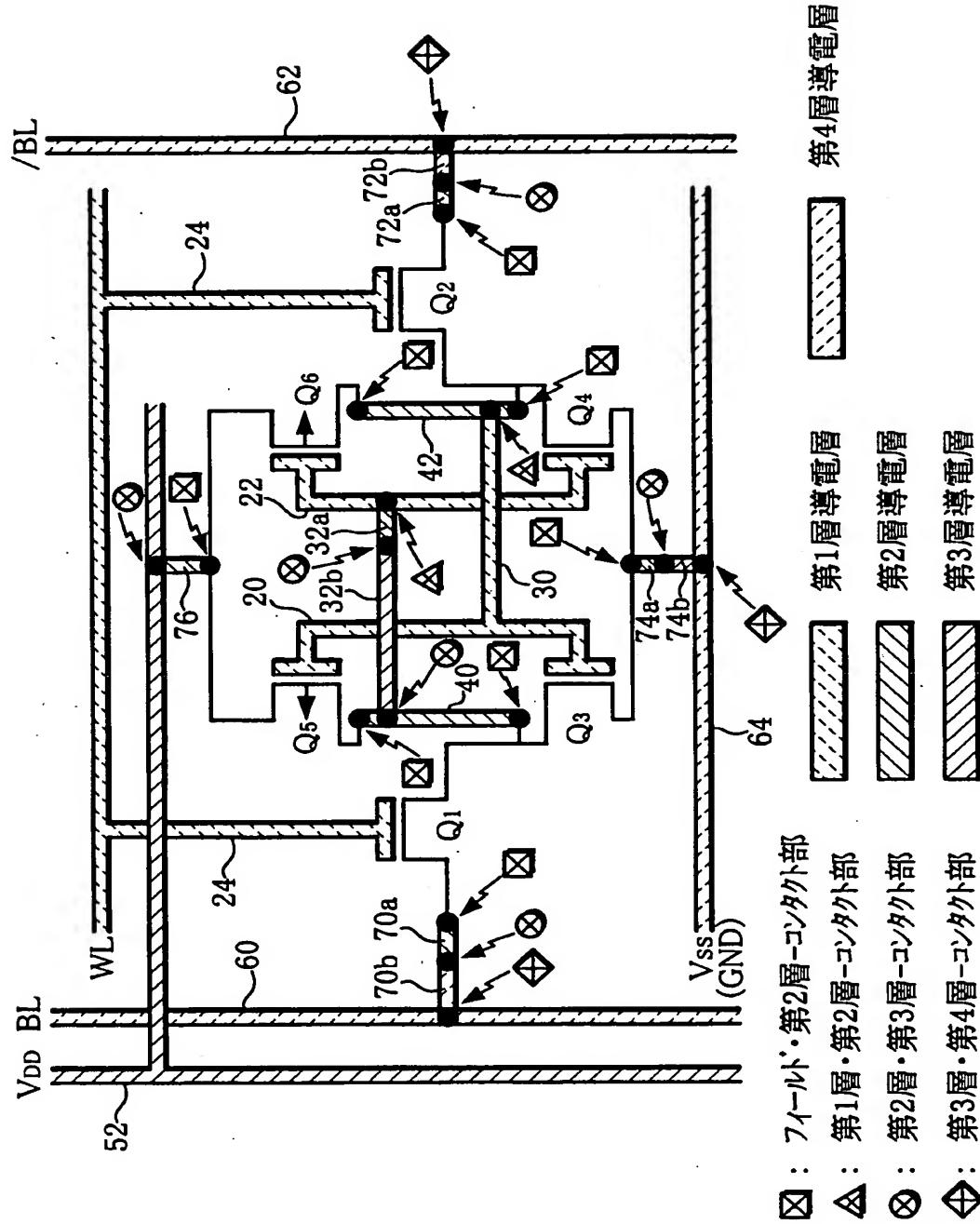
- 1 0 シリコン基板
- 1 2 素子分離領域
- 1 4 第1活性領域
- 1 4 a, 1 4 b p^+ 型不純物層
- 1 5 第2活性領域
- 1 5 a, 1 5 b p^+ 型不純物層
- 1 6 第3活性領域
- 1 6 a, 1 6 b, 1 6 c n^+ 型不純物層
- 1 6 d p^+ 型不純物層
- 1 7 第4活性領域
- 1 7 a, 1 7 b, 1 7 c n^+ 型不純物層
- 1 7 d p^+ 型不純物層
- 2 0 第1ゲート-ゲート電極層
- 2 2 第2ゲート-ゲート電極層
- 2 4 副ワード線
- 3 0 第1ゲート-ドレイン配線層
- 3 2 a 第2ゲート-ドレイン配線層の下層部
- 3 2 b 第2ゲート-ドレイン配線層の上層部
- 4 0 第1ドレイン-ドレイン配線層
- 4 2 第2ドレイン-ドレイン配線層
- 5 0 主ワード線
- 5 2 V_{dd} 配線
- 6 0 ピット線
- 6 2 ノーピット線
- 6 4 V_{ss} 配線

70 a 第1BLコンタクトパッド層
70 b 第2BLコンタクトパッド層
72 a 第1／BLコンタクトパッド層
72 b 第2／BLコンタクトパッド層
74 a 第1Vssコンタクトパッド層
74 b 第2Vssコンタクトパッド層
76 Vddコンタクトパッド層
80 フィールド・第2層-コンタクト部
82 第1層・第2層-コンタクト部
84 第2層・第3層-コンタクト部
86 第3層・第4層-コンタクト部
90 層間絶縁層
90 a スルーホール
92 層間絶縁層
92 a スルーホール
94 層間絶縁層
94 a スルーホール
Q1 第1転送トランジスタ
Q2 第2転送トランジスタ
Q3 第1駆動トランジスタ
Q4 第2駆動トランジスタ
Q5 第1負荷トランジスタ
Q6 第2負荷トランジスタ

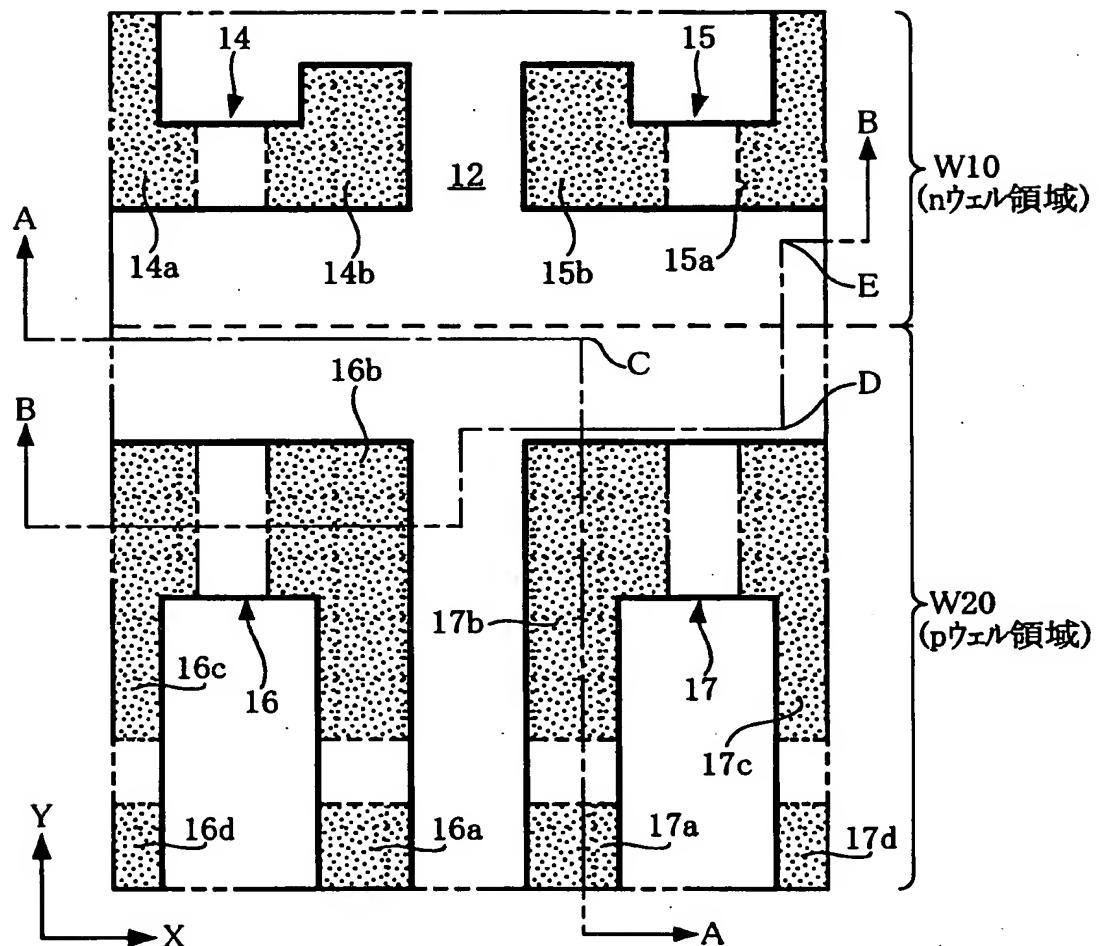
【書類名】

図面

【図1】

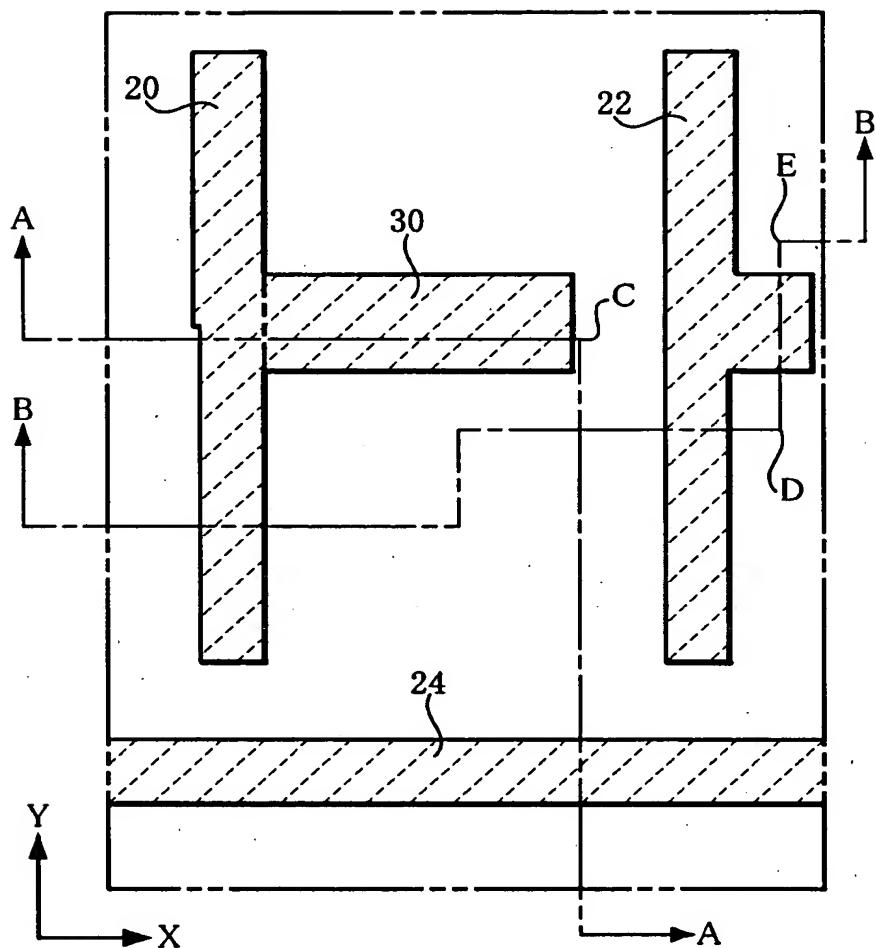


【図2】

フィールド

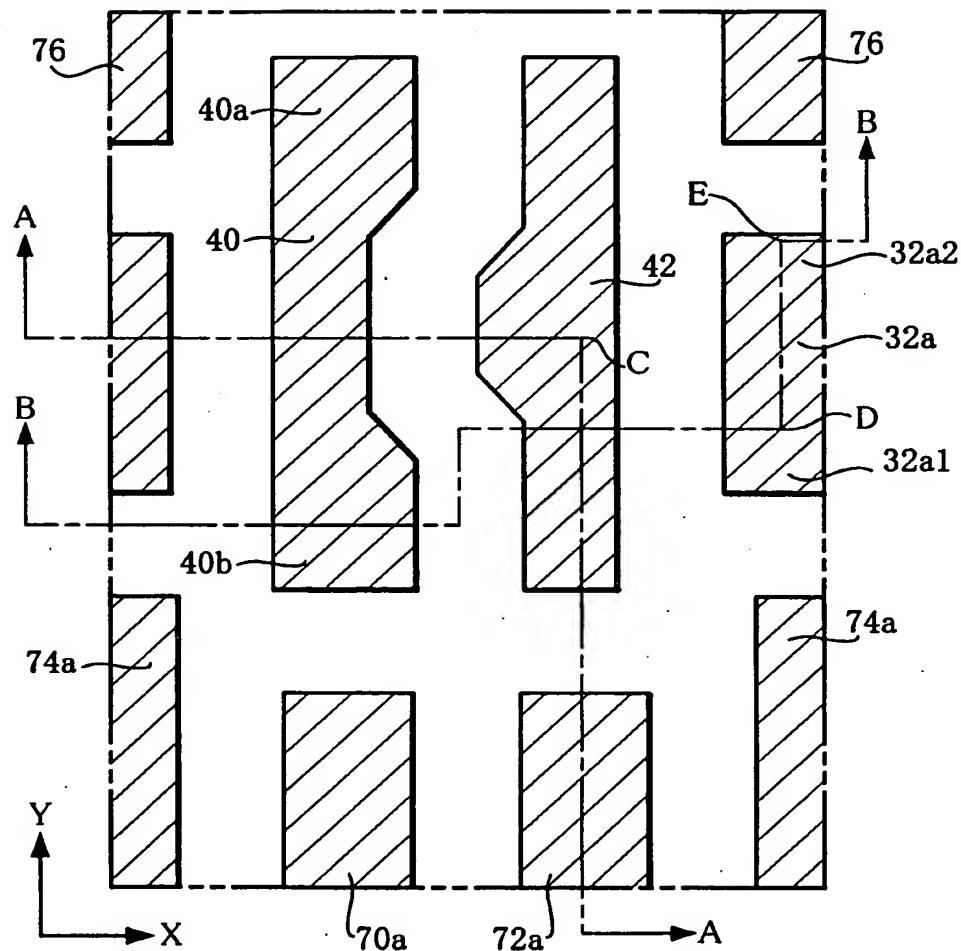
【図3】

第1層導電層



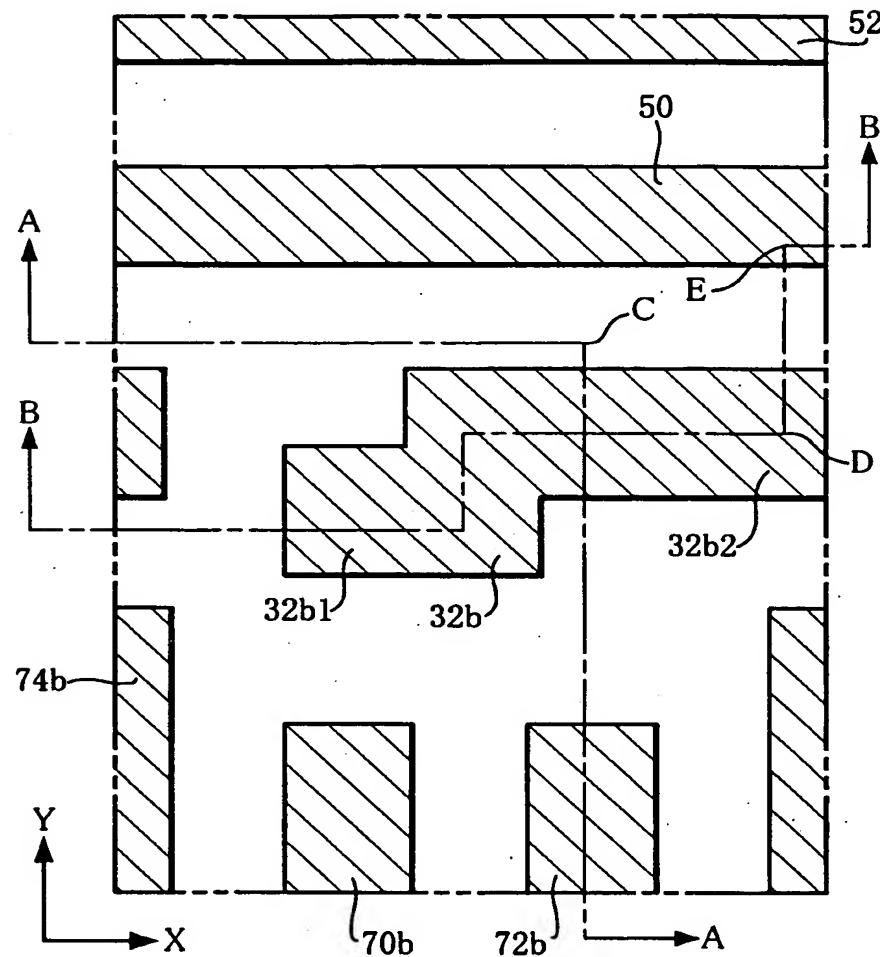
【図4】

第2層導電層



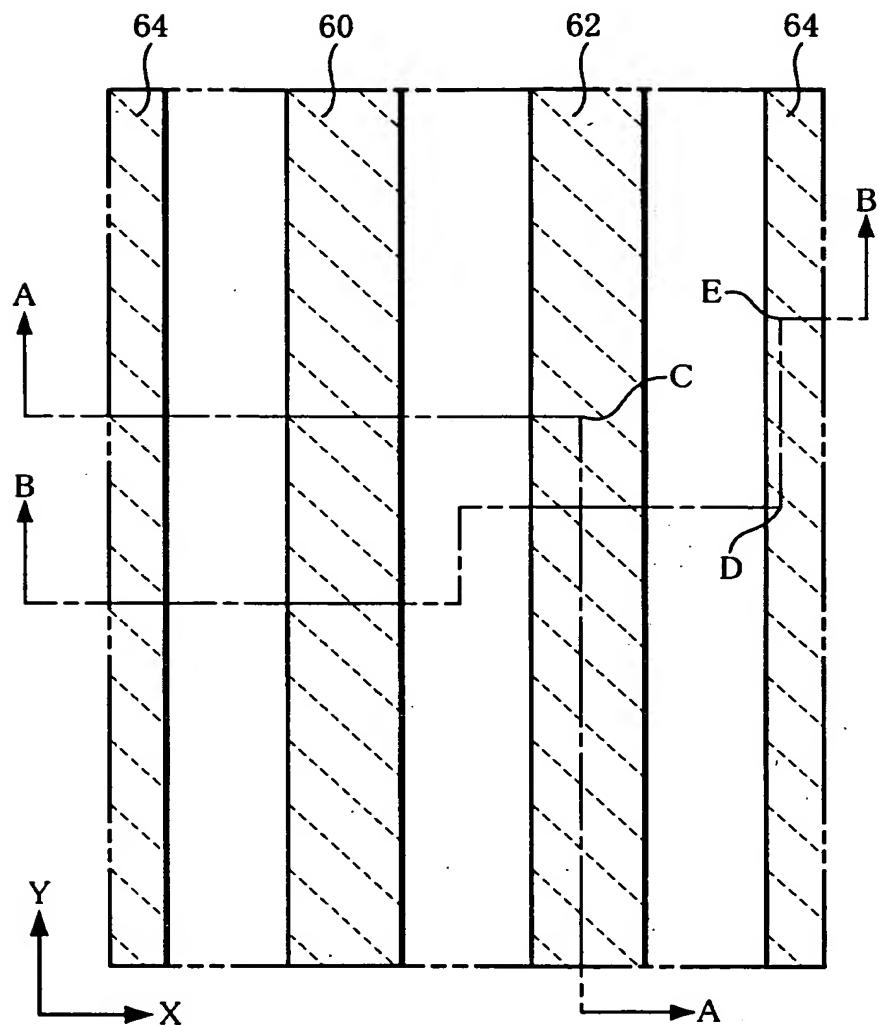
【図5】

第3層導電層



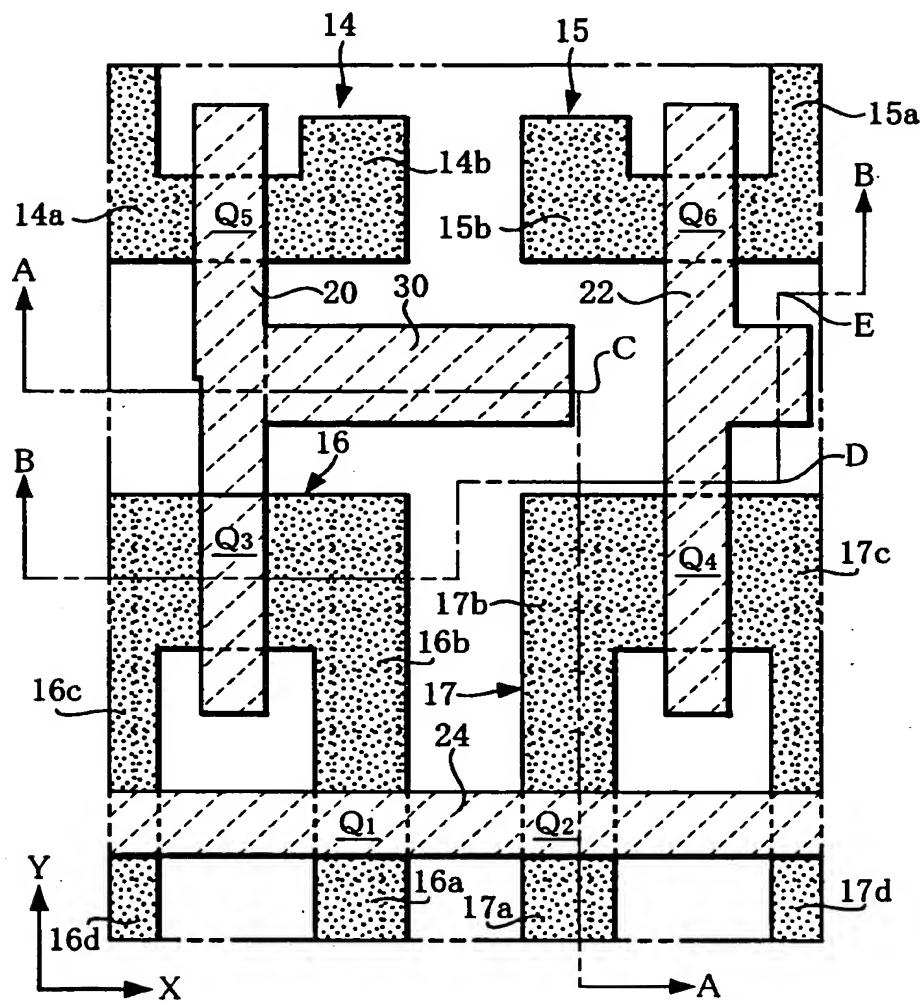
【図6】

第4層導電層



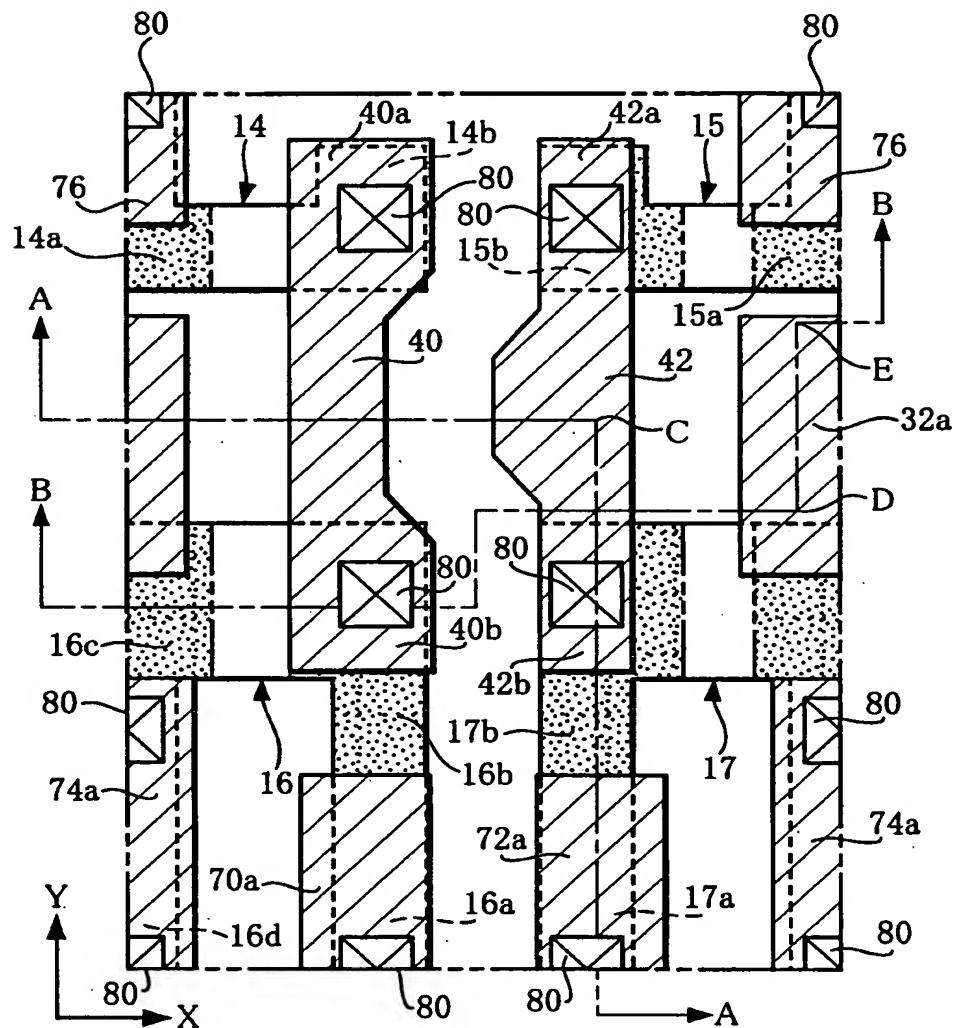
【図7】

フィールド-第1層導電層



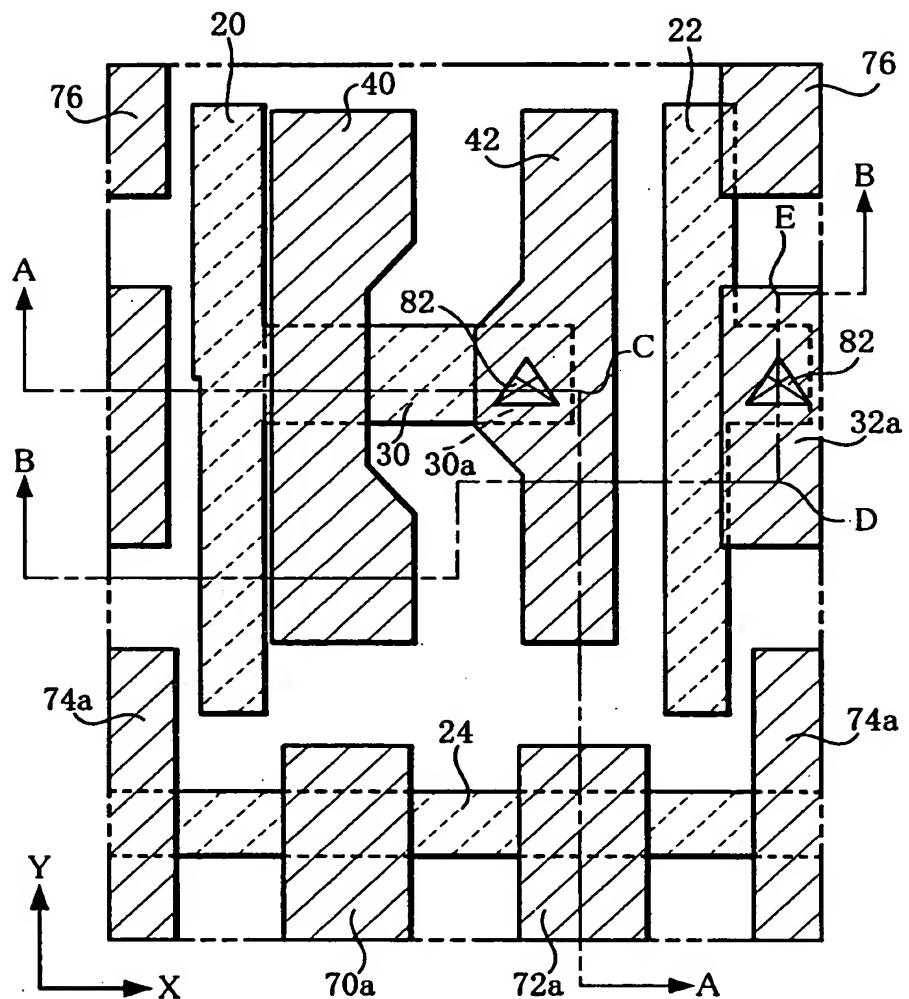
【図8】

フィールド-第2層導電層



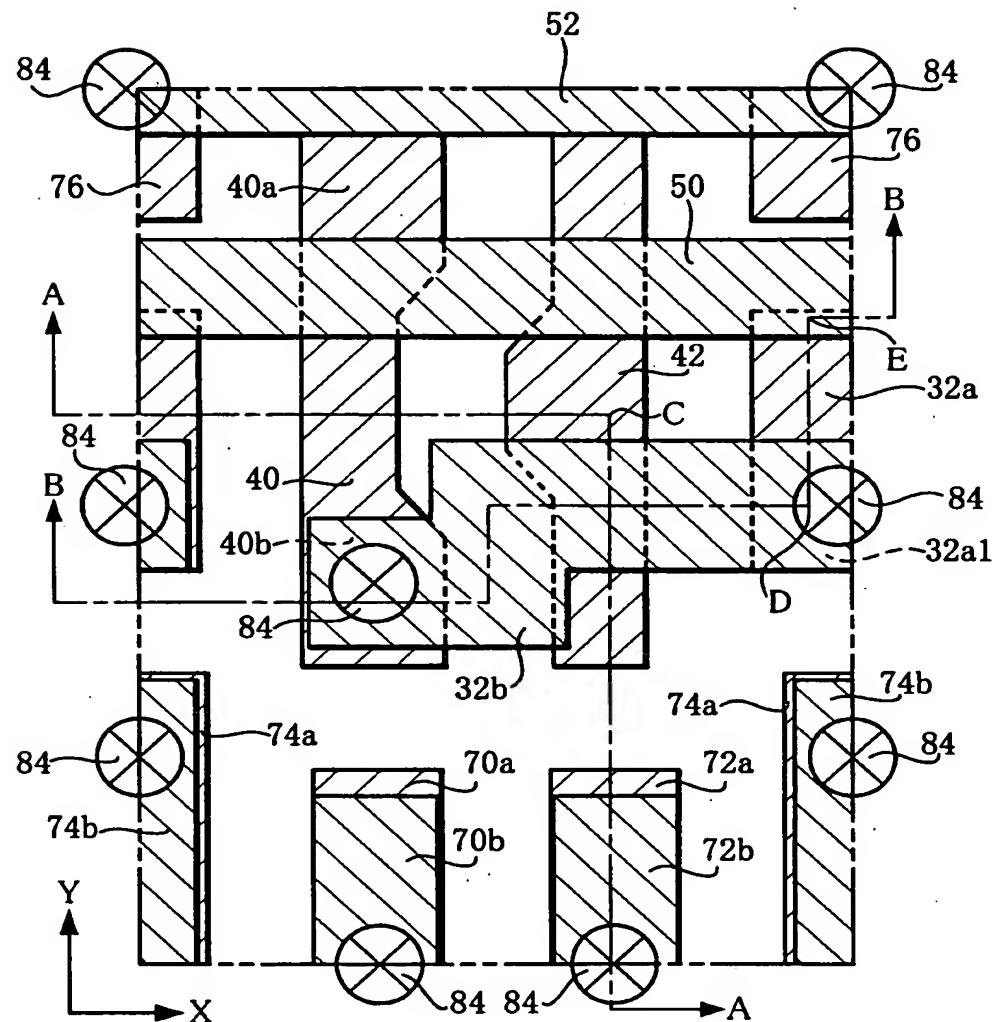
【図9】

第1層導電層-第2層導電層



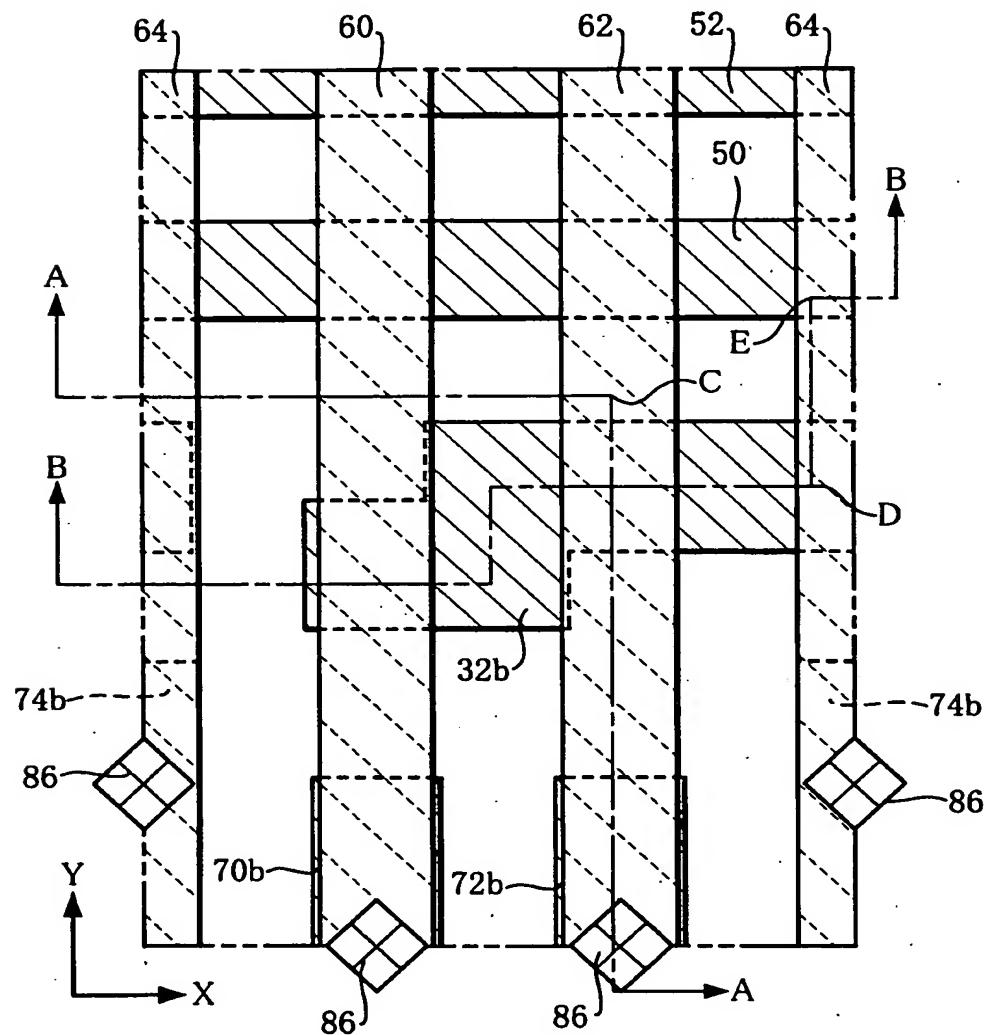
【図10】

第2層導電層-第3層導電層

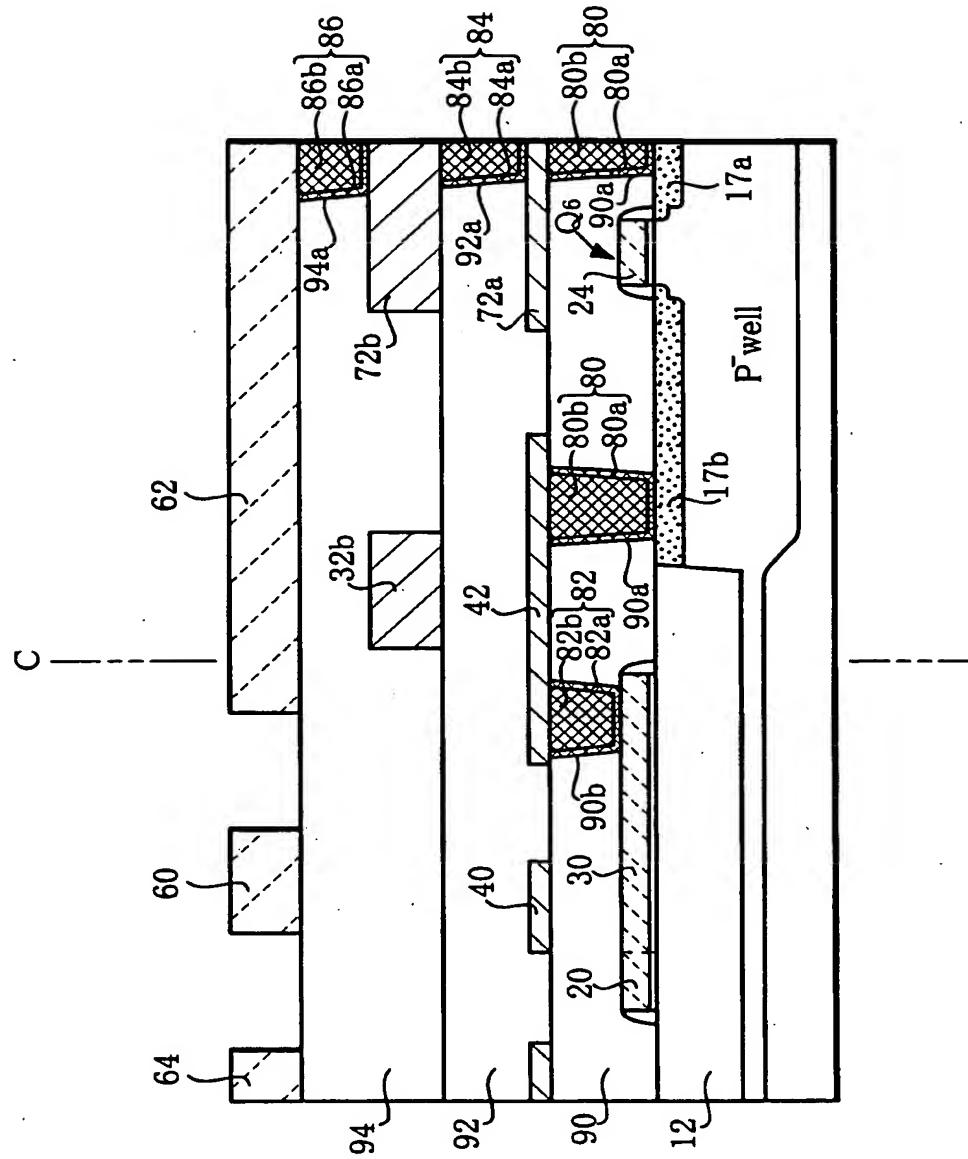


【図11】

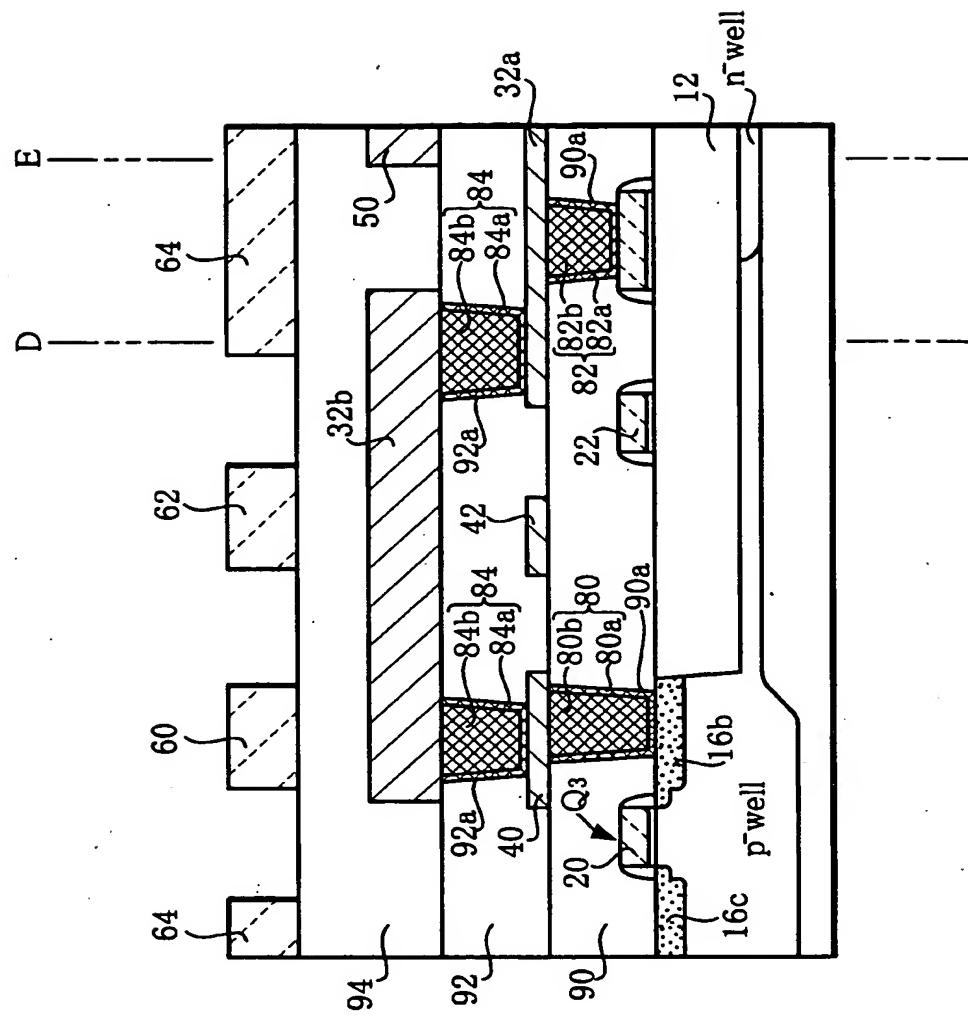
第3層導電層-第4層導電層



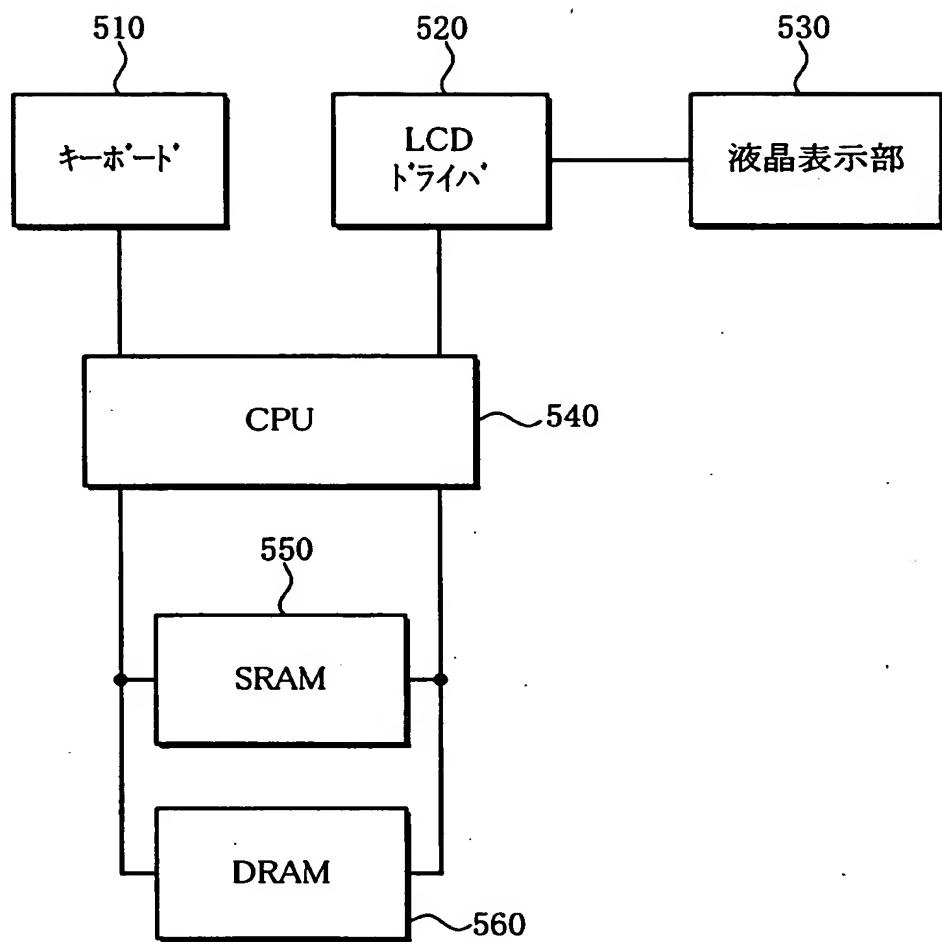
【図12】



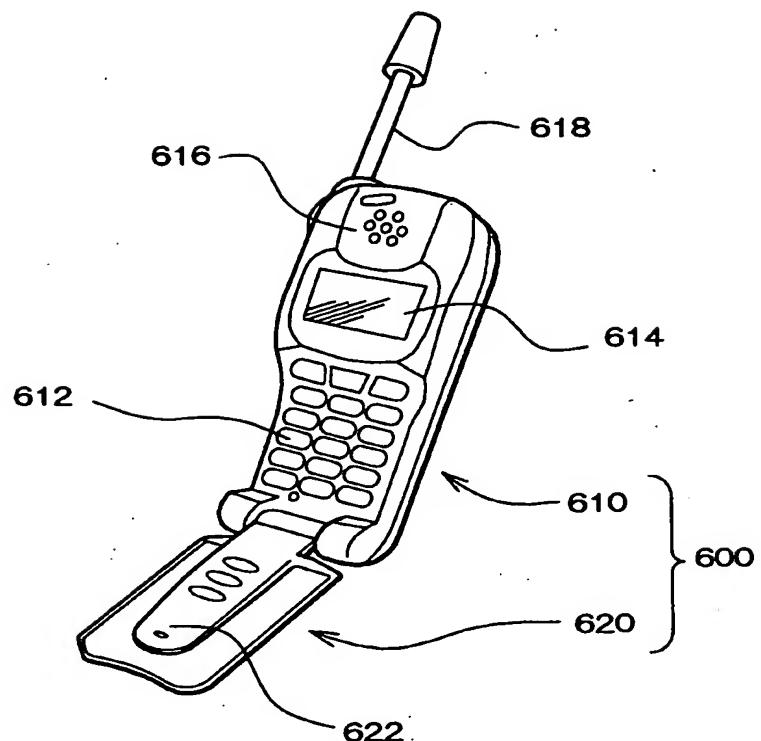
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 セル面積を小さくすることができる、半導体装置を提供する。また、その半導体装置を含むメモリシステムおよび電子機器を提供する。

【解決手段】 半導体装置は、第1および第2負荷トランジスタQ5, Q6と、第1および第2駆動トランジスタQ3, Q4と、第1および第2転送トランジスタQ1, Q2とを含むメモリセルを備える。半導体装置は、第1ゲート-ゲート電極層20と、第2ゲート-ゲート電極層22と、第1ドレイン-ドレイン配線層40と、第2ドレイン-ドレイン配線層42と、第1ドレイン-ゲート配線層30と、第2ドレイン-ゲート配線層32a, 32bと、を含む。第1ドレイン-ゲート配線層30と、第2ドレイン-ゲート配線層32a, 32bとは、それぞれ異なる層に位置している。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社